

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC525 U.S. PTO
09/437649
11/10/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 8 年 1 1 月 1 1 日

出 願 番 号

Application Number:

平成 1 0 年 特 許 願 第 3 2 1 1 2 3 号

出 願 人

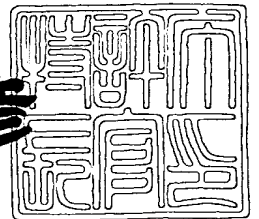
Applicant (s):

株式会社半導体エネルギー研究所

1 9 9 9 年 1 0 月 1 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 平 1 1 - 3 0 6 6 1 9 3

【書類名】 特許願

【整理番号】 P004024-01

【提出日】 平成10年11月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の作製方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 安達 広樹

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の作製方法

【特許請求の範囲】

【請求項 1】

透光性基板上に非透光性薄膜材料からなるパターンを形成する工程と、
前記パターン上に感光性薄膜を形成する工程と、
前記感光性薄膜を透過した前記光源からの光を前記基板の表面側に設けられた反射手段によって反射または散乱させ、前記基板の表面側から照射して前記感光性薄膜を露光する工程と、
前記露光された感光性薄膜を現像する工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項 2】

透光性基板上に非透光性薄膜材料からなるパターンを形成する工程と、
前記パターン上に感光性薄膜を形成する工程と、
前記パターンをマスクとして光源からの光を前記基板の裏面側から照射して前記感光性薄膜を露光し、且つ、前記感光性薄膜を透過した前記光源からの光を前記基板の表面側に設けられた反射手段によって反射または散乱させ、前記基板の表面側から照射して前記感光性薄膜を露光する工程と、
前記露光された感光性薄膜を現像する工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項 3】

透光性基板上にゲート配線を形成する工程と、
前記ゲート配線上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に半導体膜を形成する工程と、
前記半導体膜上に感光性薄膜を形成する工程と、
前記ゲート配線をマスクとして光源からの光を前記基板の裏面側から照射して前記感光性薄膜を露光し、且つ、前記感光性薄膜を透過した前記光源からの光を前記基板の表面側に設けられた反射手段によって反射または散乱させ、前記基板の表面側から照射して前記感光性薄膜を露光する工程と、

前記露光された部分を除去して感光性薄膜からなるパターンを形成する工程と、
前記感光性薄膜からなるパターンをマスクとして前記半導体膜に導電型を付与する不純物を添加する工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項 4】

透光性基板上にゲート配線を形成する工程と、
前記ゲート配線上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に半導体膜を形成する工程と、
前記半導体膜上に絶縁性薄膜を形成する工程と、
前記絶縁性薄膜上に感光性薄膜を形成する工程と、
前記ゲート配線をマスクとして光源からの光を前記基板の裏面側から照射して前記感光性薄膜を露光し、且つ、前記感光性薄膜を透過した前記光源からの光を前記基板の表面側に設けられた反射手段によって反射または散乱させ、前記基板の表面側から照射して前記感光性薄膜を露光する工程と、
前記露光された部分を除去して感光性薄膜からなるパターンを形成する工程と、
前記パターンをマスクとして前記絶縁性薄膜を選択的に除去し、前記絶縁性薄膜からなるパターンを形成する工程と、
前記感光性薄膜からなるパターンを除去する工程と、
前記絶縁性薄膜からなるパターンをマスクとして前記半導体膜に導電型を付与する不純物を添加する工程と、
を有することを特徴とする半導体装置の作製方法。

【請求項 5】

透光性基板上にゲート配線を形成する工程と、
前記ゲート配線上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に半導体膜を形成する工程と、
前記半導体膜上に絶縁性薄膜を形成する工程と、
前記絶縁性薄膜上に感光性薄膜を形成する工程と、
前記ゲート配線をマスクとして光源からの光を前記基板の裏面側から照射して前記感光性薄膜を露光し、且つ、前記感光性薄膜を透過した前記光源からの光を前

記基板の表面側に設けられた反射手段によって反射または散乱させ、前記基板の表面側から照射して前記感光性薄膜を露光する工程と、
 前記露光された部分を除去して感光性薄膜からなるパターンを形成する工程と、
 前記パターンをマスクとして前記絶縁性薄膜を選択的に除去し、前記絶縁性薄膜からなるパターンを形成する工程と、
 前記感光性薄膜からなるパターンを除去する工程と、
 前記絶縁性薄膜からなるパターンをマスクとして前記半導体膜に導電型を付与する不純物を添加する工程と、
 を有することを特徴とする半導体装置の作製方法。

【請求項 6】

透光性基板上にゲート配線を形成する工程と、
 前記ゲート配線上にゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜上に半導体膜を形成する工程と、
 前記半導体膜上に絶縁性薄膜を形成する工程と、
 前記絶縁性薄膜上に第 1 の感光性薄膜を形成する工程と、
 前記ゲート配線をマスクとして光源からの光を前記基板の裏面側から照射して前記第 1 の感光性薄膜を露光し、且つ、前記第 1 の感光性薄膜を透過した前記光源からの光を前記基板の表面側に設けられた反射手段によって反射または散乱させ、前記基板の表面側から照射して前記第 1 の感光性薄膜を露光する工程と、
 前記露光された部分を除去して第 1 の感光性薄膜からなるパターンを形成する工程と、
 前記パターンをマスクとして前記絶縁性薄膜を選択的に除去し、絶縁性薄膜からなる第 1 のパターンを形成する工程と、
 前記第 1 の感光性薄膜からなるパターンを除去する工程と、
 第 2 の感光性薄膜を形成する工程と、
 前記ゲート配線をマスクとして光源からの光を前記基板の裏面側から照射して前記第 2 の感光性薄膜を露光し、且つ、前記第 2 の感光性薄膜を透過した前記光源からの光を前記基板の表面側に設けられた反射手段によって反射または散乱させ、前記基板の表面側から照射して前記第 2 の感光性薄膜を露光する工程と、

前記露光された部分を除去して第 2 の感光性薄膜からなる第 2 のパターンを形成する工程と、

前記第 1 のパターン及び第 2 のパターンをマスクとして用いて導電型を付与する不純物を高濃度に添加する工程と、

前記第 2 のパターンを除去する工程と、

前記第 1 のパターンをマスクとして導電型を付与する不純物を低濃度に添加する工程と、

を有することを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 6 において、前記第 2 のパターンの寸法は、前記ゲート配線パターンの寸法と比較して小さく、前記第 1 のパターンの寸法より大きいことを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 4 乃至 7 のいずれか一において、前記感光性薄膜からなるパターンの形状は、前記ゲート配線パターンの形状を縮小したものであることを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 1 乃至 8 のいずれか一において、前記反射手段は、光反射性を有する材料膜が設けられた反射板であることを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 4 乃至 9 のいずれか一において、前記絶縁性薄膜は、窒化珪素膜、酸化窒化珪素膜、酸化珪素膜、有機樹脂膜から選ばれた単層膜、またはそれらの積層膜であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、絶縁ゲート型トランジスタ等の半導体素子からなる半導体回路を備えた半導体装置の構造およびその作製方法に関する。特に、裏面からの露光を利用した半導体プロセス技術に関する。本発明の半導体装置は、薄膜トランジスタ

(TFT) やMOSトランジスタ等の素子だけでなく、これら絶縁ゲート型トランジスタで構成された半導体回路を有する表示装置やイメージセンサ等の電気光学装置をも含むものである。加えて、本発明の半導体装置は、これらの表示装置および電気光学装置を搭載した電子機器をも含むものである。

【0002】

【従来の技術】

絶縁性を有する基板上に形成された薄膜トランジスタ(TFT)により画素マトリクス回路および駆動回路を構成したアクティブマトリクス型液晶ディスプレイが注目を浴びている。液晶ディスプレイは0.5~20インチ程度のものまで表示ディスプレイとして利用されている。

【0003】

現在、高精細な表示が可能な液晶ディスプレイを実現するために、ポリシリコン膜で代表される結晶性半導体膜を活性層とするTFTが注目されている。

【0004】

しかしながら、結晶性半導体膜を活性層とするTFTは、非晶質半導体膜を活性層とするTFTと比較して、動作速度や駆動能力が高い一方、リーク電流が大きいという問題があった。

【0005】

このリーク電流を抑えるための技術として、TFTのチャネル形成領域とドレイン領域との間にLDD領域を形成することが知られている。このLDD領域は、チャネル形成領域とドレイン領域との間に形成される電界の強度を緩和し、TFTのOFF電流の低減、劣化の防止の役割を果たしている。

【0006】

【発明が解決しようとする課題】

TFTのチャネル形成領域とドレイン領域の間にLDD領域を形成するには、ドレイン領域となる領域に導電型を付与する不純物イオンを高濃度に添加し、LDD領域となる領域に導電型を付与する不純物イオンを低濃度に添加するマスクを用いる。このように選択的に不純物濃度の異なる領域を形成するためのマスクを形成する従来の手段としては、フォトマスクを用いるパターニング方法①(ノ

ンセルフアライン方式)や、配線をマスクとして裏面からの露光を行なうパターンニング方法②(セルフアライン方式)が挙げられる。

【0007】

従来のフォトマスクを用いるパターンニング方法①を以下に簡単に説明する。一般的にLDD構造を形成する場合、露光機を用いる。ここでは、一例としてボトムゲート型TFTの作製過程を用いて説明する。

【0008】

まず、絶縁基板上にゲート配線を形成する。この段階で第1のフォトマスクを使用する。次に、ゲート配線の上にゲート絶縁膜と非晶質な領域を有する半導体膜を積層し、この非晶質な領域を有する半導体膜を加熱、またはレーザー光等による結晶化処理を施して結晶性半導体膜とする。

【0009】

次いで、パターンニング方法①を用いてマスクパターンを形成する。ここでのパターンニング方法①とは、マスクパターン用の絶縁膜を形成する工程と、前記マスクパターン用の絶縁膜上にフォトレジスト膜を塗布する工程と、第2のフォトマスクを用いて露光・現像することによりフォトレジストパターンを形成する工程と、前記フォトレジストパターンをマスクに用いてマスクパターン用の絶縁膜をエッチングしてマスクパターンを形成する工程と、フォトレジストパターンを除去する工程とを行うことを指している。このようにフォトマスクを用いる方式をノンセルフアライン方式と呼ぶ。その後、マスクパターンを用いて結晶性半導体膜に導電性を付与する不純物イオンの添加を選択的に行ない、ソース領域、ドレイン領域、またはLDD領域等を形成する。

【0010】

この方法での問題点は、フォトマスクの位置合わせにおいて、ある程度の範囲でバラツキが発生するため、TFTの特性がばらつく点である。特に、マスクパターンによりチャネル形成領域の幅が決定されるため、そのパターンニング精度は高いものが要求される。

【0011】

また、配線をマスクとした裏面からの露光を行なうパターンニング方法②を図8

を用いて説明する。裏面からの露光によるパターニングは、パターニング方法①と比較して、精度よくパターニングできる。

【0012】

まず、絶縁基板10上にゲート配線11を形成する。この段階で第1のフォトマスクを使用する。次に、ゲート配線の上にゲート絶縁膜12と非晶質な領域を有する半導体膜を積層し、この非晶質な領域を有する半導体膜を加熱、またはレーザー光等による結晶化处理を施して結晶性半導体膜13とする。

【0013】

次いで、マスクパターンを形成するためのパターニング方法②を用いる。ここでのパターニング方法②とは、マスクパターン用の絶縁性薄膜14を形成する工程と、前記マスクパターン用の絶縁性薄膜上にフォトリジスト膜15を塗布する工程（図8（A））と、ゲート配線をマスクとして裏面からの露光・現像を行うことによりレジストパターン16を形成する工程（図8（B））と、前記レジストパターンをマスクに用いてマスクパターン用の絶縁膜をエッチングしてマスクパターン17を形成する工程と、レジストパターン16を除去する工程（図8（C））とを行うことを指している。この裏面からの露光によりゲート配線と同一寸法のマスクパターン17が形成される。このようにフォトマスクを用いない方式をセルフアライン方式と呼ぶ。その後、マスクパターンを用いて結晶性半導体膜に導電性を付与する不純物イオンの添加を選択的に行ない、ソース領域、ドレイン領域、またはLDD領域を形成する。

【0014】

この方法②での問題点は、マスクとして用いたゲート配線とほぼ同一寸法のレジストパターンしか作製することができず、所望のレジストパターンを形成することは困難であった。即ち、ゲート配線をマスクとしているため、レジストパターンをゲート配線の内側に形成することができない。従って、ボトムゲート型TFTの作製工程においては、LDD領域を形成する場合、パターニング方法①によるマスクとパターニング方法②によるマスクとを用いて選択的に不純物の添加を行う必要があった。

【0015】

【発明が解決しようとする課題】

そこで、本発明は、上記従来技術の問題を解決するものであり、本発明のセルフアライン方式によるパターニング方法のみを用いてマスクパターンを形成し、LDD領域をゲート配線上に形成するTFTを用いた表示装置の構成およびその作製方法を提供することを目的とする。

【0016】

【課題を解決するための手段】

上記目的を解決するため、基板の表面側に反射板が感光性薄膜表面から距離X離れて設けられた裏面露光装置を用いて露光を行ない、セルフアライン方式でマスクパターンを形成することを特徴としている。

【0017】

本発明の露光方法においては、光源からの光は裏面側から基板を透過して感光性薄膜（ゲート配線上の領域以外）に照射する。また、光源から前記感光性樹脂を透過した光は、基板の表面側に設けられた反射板により反射・散乱させて基板の表面側から感光性薄膜（全面）に照射する。この反射・散乱した光が微量にしか照射されない領域の感光性薄膜を利用してマスクパターンを形成する。なお、この反射・散乱させた光が微量にしか照射されない領域は、感光性薄膜表面と反射板との距離Xを適宜変更することによって調節することができるため、ゲート配線上に所望の寸法を有するマスクパターンをセルフアライン方式で形成することができる。

【0018】

上記本発明の露光方法を用いて形成されるマスクパターン、またはマスクパターンをマスクとして形成される絶縁膜からなるドーピングマスクを利用して、導電性を付与する不純物イオンを選択的に添加してLDD領域を形成する。

【0019】

本明細書で開示する半導体装置の作製方法に関する発明の第1の構成は、透光性基板上に非透光性薄膜材料からなるパターンを形成する工程と、前記パターン上に感光性薄膜を形成する工程と、前記感光性薄膜を透過した前記光源からの光を前記基板の表面側に設けられた反

射手段によって反射または散乱させ、前記基板の表面側から照射して前記感光性薄膜を露光する工程と、

前記露光された感光性薄膜を現像する工程と、

を有することを特徴とする。

【0020】

また、他の発明の構成は、

透光性基板上に非透光性薄膜材料からなるパターンを形成する工程と、

前記パターン上に感光性薄膜を形成する工程と、

前記パターンをマスクとして光源からの光を前記基板の裏面側から照射して前記感光性薄膜を露光し、且つ、前記感光性薄膜を透過した前記光源からの光を前記基板の表面側に設けられた反射手段によって反射または散乱させ、前記基板の表面側から照射して前記感光性薄膜を露光する工程と、

前記露光された感光性薄膜を現像する工程と、

を有することを特徴とする。

【0021】

また、他の発明の構成は、

透光性基板上にゲート配線を形成する工程と、

前記ゲート配線上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に半導体膜を形成する工程と、

前記半導体膜上に感光性薄膜を形成する工程と、

前記ゲート配線をマスクとして光源からの光を前記基板の裏面側から照射して前記感光性薄膜を露光し、且つ、前記感光性薄膜を透過した前記光源からの光を前記基板の表面側に設けられた反射手段によって反射または散乱させ、前記基板の表面側から照射して前記感光性薄膜を露光する工程と、

前記露光された部分を除去して感光性薄膜からなるパターンを形成する工程と、

前記感光性薄膜からなるパターンをマスクとして前記半導体膜に導電型を付与する不純物を添加する工程と、

を有することを特徴とする。

【0022】

また、他の発明の構成は、

透光性基板上にゲート配線を形成する工程と、
 前記ゲート配線上にゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜上に半導体膜を形成する工程と、
 前記半導体膜上に絶縁性薄膜を形成する工程と、
 前記絶縁性薄膜上に感光性薄膜を形成する工程と、
 前記ゲート配線をマスクとして光源からの光を前記基板の裏面側から照射して前記感光性薄膜を露光し、且つ、前記感光性薄膜を透過した前記光源からの光を前記基板の表面側に設けられた反射手段によって反射または散乱させ、前記基板の表面側から照射して前記感光性薄膜を露光する工程と、
 前記露光された部分を除去して感光性薄膜からなるパターンを形成する工程と、
 前記パターンをマスクとして前記絶縁性薄膜を選択的に除去し、前記絶縁性薄膜からなるパターンを形成する工程と、
 前記感光性薄膜からなるパターンを除去する工程と、
 前記絶縁性薄膜からなるパターンをマスクとして前記半導体膜に導電型を付与する不純物を添加する工程と、
 を有することを特徴とする。

【 0 0 2 3 】

また、他の発明の構成は、

透光性基板上にゲート配線を形成する工程と、
 前記ゲート配線上にゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜上に半導体膜を形成する工程と、
 前記半導体膜上に絶縁性薄膜を形成する工程と、
 前記絶縁性薄膜上に感光性薄膜を形成する工程と、
 前記ゲート配線をマスクとして光源からの光を前記基板の裏面側から照射して前記感光性薄膜を露光し、且つ、前記感光性薄膜を透過した前記光源からの光を前記基板の表面側に設けられた反射手段によって反射または散乱させ、前記基板の表面側から照射して前記感光性薄膜を露光する工程と、
 前記露光された部分を除去して感光性薄膜からなるパターンを形成する工程と、

前記パターンをマスクとして前記絶縁性薄膜を選択的に除去し、前記絶縁性薄膜からなるパターンを形成する工程と、
 前記感光性薄膜からなるパターンを除去する工程と、
 前記絶縁性薄膜からなるパターンをマスクとして前記半導体膜に導電型を付与する不純物を添加する工程と、
 を有することを特徴とする。

【 0 0 2 4 】

また、他の発明の構成は、
 透光性基板上にゲート配線を形成する工程と、
 前記ゲート配線上にゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜上に半導体膜を形成する工程と、
 前記半導体膜上に絶縁性薄膜を形成する工程と、
 前記絶縁性薄膜上に第 1 の感光性薄膜を形成する工程と、
 前記ゲート配線をマスクとして光源からの光を前記基板の裏面側から照射して前記第 1 の感光性薄膜を露光し、且つ、前記第 1 の感光性薄膜を透過した前記光源からの光を前記基板の表面側に設けられた反射手段によって反射または散乱させ、前記基板の表面側から照射して前記第 1 の感光性薄膜を露光する工程と、
 前記露光された部分を除去して第 1 の感光性薄膜からなるパターンを形成する工程と、
 前記パターンをマスクとして前記絶縁性薄膜を選択的に除去し、絶縁性薄膜からなる第 1 のパターンを形成する工程と、
 前記第 1 の感光性薄膜からなるパターンを除去する工程と、
 第 2 の感光性薄膜を形成する工程と、
 前記ゲート配線をマスクとして光源からの光を前記基板の裏面側から照射して前記第 2 の感光性薄膜を露光し、且つ、前記第 2 の感光性薄膜を透過した前記光源からの光を前記基板の表面側に設けられた反射手段によって反射または散乱させ、前記基板の表面側から照射して前記第 2 の感光性薄膜を露光する工程と、
 前記露光された部分を除去して第 2 の感光性薄膜からなる第 2 のパターンを形成する工程と、

前記第1のパターン及び第2のパターンをマスクとして用いて導電型を付与する不純物を高濃度に添加する工程と、

前記第2のパターンを除去する工程と、

前記第1のパターンをマスクとして導電型を付与する不純物を低濃度に添加する工程と、

を有することを特徴とする。

【0025】

上記構成において、前記第2のパターンの寸法は、前記ゲート配線パターンの寸法と比較して小さく、前記第1のパターンの寸法より大きいことを特徴としている。

【0026】

また、上記各構成において、前記感光性薄膜からなるパターンの形状は、前記ゲート配線パターンの形状を縮小したものであることを特徴としている。

【0027】

なお、本明細書中では、TFTが作製される基板の面を表面とし、表面と相対する面を裏面とする。

【0028】

また、本明細書中では、露光装置の光源からの光に対する透過率が60%以上、好ましくは80%以上である基板を透光性基板とする。

【0029】

また、反射板としては、露光装置の光源からの光の波長に対する反射率が80%以上であり、光反射性の高いアルミニウム膜や銀等の金属膜が成膜された基板を用いることができる。

【0030】

なお、本明細書中において、特に指定がない限り「不純物」とは13族または15族に属する元素を指して用いる。また、各不純物領域は作製プロセスの過程で領域の大きさ（面積）が変化するが、本明細書中で面積が変化しても濃度が変化しない限りは同一の符号で説明するものとする。

【0031】

【発明の実施の形態】

以下に図1 (A) ~ (E) を参照して本発明の実施形態を詳細に説明する。なお、簡略化のためNチャネル型TFTを用いた作製方法の説明を行う。

【0032】

まず、基板を用意する。基板100としては、ガラス基板、石英基板、結晶性ガラスなどの絶縁性基板、プラスチック基板（ポリエチレンテレフタレート基板）等の透光性を有する基板を用いることができる。

【0033】

次いで、基板上に下地絶縁膜（以下、下地膜とする）101を形成し、熱処理する。この下地膜101としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（ SiO_xN_y ）、またはこれらの積層膜等を100~500nmの膜厚範囲で用いることができる。下地膜の形成手段としては、熱CVD法、プラズマCVD法、スパッタリング法、蒸着法、減圧熱CVD法等の形成方法を用いることができる。この下地膜は基板からの不純物の拡散を防ぐ効果がある。なお、この下地膜は、TFTの電気特性を向上させるためであり、特に設けなくともよい。

【0034】

次いで、絶縁膜101上に非透過性導電材料からなる導電膜（ゲート配線形成材料層）を形成し、公知のパターニング方法によりゲート配線102を形成する。

【0035】

導電膜としては、導電性材料または半導体材料、例えば、タンタル（Ta）、窒化タンタル（Ta_N）、アルミニウム（Al）、銅（Cu）、ニオブ（Nb）、ハフニウム（Hf）、ジルコニウム（Zr）、チタン（Ti）、クロム（Cr）、タングステン（W）、モリブデン（Mo）、シリコン（Si）等を主成分とする層からなる単体金属層、或いはこれらを組み合わせた積層構造を用いることができる。積層構造の代表例としてはTa/Al、Ti/Al、Cu/W、Al/WまたはW/Moの積層構造などが挙げられる。また、金属シリサイドを設けた構造（具体的にはSi_x、Si/TiSi_x、Si/CoSi_x、またはSi/MoSi_x等の導電性を持たせたシリコンと金属シリサイドとを組み合わせた

構造)を用いてもよい。なお、導電膜の膜厚としては、10～500nmの範囲で用いることができる。

【0036】

次いで、ゲート配線の表面を保護するための絶縁膜103、例えば、ゲート配線を陽極酸化して形成した陽極酸化膜や、ゲート配線を覆って全面に膜厚の薄い窒化珪素膜を形成することが好ましい。

【0037】

次いで、ゲート絶縁膜104'を形成する。ゲート絶縁膜104'としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜(SiO_xN_y)、有機樹脂膜(BCB(ベンゾシクロブテン)膜等)、またはこれらの積層膜等を用いることができる。ゲート絶縁膜の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、スパッタリング法、蒸着法、塗布法等の公知の手段を用い、10～400nmの膜厚範囲で用いることができる。

【0038】

次いで、ゲート絶縁膜104'上に半導体膜を積層形成する。半導体膜としては、非晶質珪素膜、微結晶を有する非晶質半導体膜、微結晶半導体膜、非晶質ゲルマニウム膜、 $\text{Si}_x\text{Ge}_{1-x}$ ($0 < x < 1$)で示される非晶質シリコンゲルマニウム膜、またはこれらの積層膜を20～70nm(代表的には40～50nm)の膜厚範囲で用いることができる。また、半導体膜の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、スパッタリング法等を用いることができる。

【0039】

次いで、非晶質な領域を有する半導体膜に結晶化処理を施し、結晶性半導体膜105を形成する。(図1(A))

【0040】

本発明の結晶化処理としては、公知の如何なる手段、例えば、赤外光または紫外光の照射による結晶化処理(以下、レーザー結晶化と呼ぶ)、触媒元素を用いたレーザー結晶化、熱結晶化、触媒元素を用いた熱結晶化等を用いることができる。また、これらの結晶化処理を組み合わせてもよい。

【0041】

特に、レーザー結晶化は基板にかけるストレスが少なく、短時間で処理することができるため有効である。結晶化処理として紫外光を用いる場合はエキシマレーザー光または紫外光ランプから発生する強光を用いればよく、赤外光を用いる場合は赤外線レーザー光または赤外線ランプから発生する強光を用いればよい。なお、レーザーのガスとしてXeCl、ArF、KrF等を用いたパルスレーザーやArレーザー等の連続発振レーザーを用いて、そのレーザー光を線状（幅数ミリ×数十センチ）、長形状または正形状にビーム形成して照射することができる。

【0042】

なお、レーザー結晶化の条件（レーザービームの形状、レーザー光の波長、オーバーラップ率、照射強度、パルス幅、繰り返し周波数、照射時間等）は、半導体膜の膜厚、基板温度等を考慮して実施者が適宜決定すればよい。また、レーザー結晶化の条件によっては、半導体膜が熔融状態を経過して結晶化する場合や、半導体膜が熔融せずに固相状態、もしくは固相と液相の中間状態で結晶化する場合がある。また、大気にふれることなく同一チャンバー内で、半導体膜の形成と、絶縁膜の形成と、半導体膜のレーザー結晶化を行う構成としてもよい。

【0043】

また、結晶化を助長する触媒元素（ニッケル）を添加する熱結晶化については特開平7-130652号公報、特開平9-312260号等に詳細に記載されている。結晶化を助長する金属元素としては、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類のものを用いる。また、非晶珪素膜中の拡散が置換型拡散であるGe、Pbを用いることもできる。

【0044】

ただし、触媒元素を用いたレーザー結晶化や触媒元素を用いた熱結晶化においては、下地膜上に触媒元素を添加させて半導体膜を積層した後、半導体膜を結晶化させる。なお、触媒元素を用いて結晶化を行った場合は、半導体膜中に触媒元素が高濃度に残存するため、結晶化処理後に半導体膜中の触媒元素の濃度を低減する工程、例えばゲッタリング処理を施すことが好ましい。

【0045】

次いで、以下に示す本発明のパターニング方法を用いてマスクパターンの形成を行う。

【0046】

まず、半導体膜 105 上に絶縁性薄膜 106 を形成する。絶縁性薄膜 106 としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜 (SiO_xN_y)、有機樹脂膜 (BCB (ベンゾシクロブテン) 膜等)、またはこれらの積層膜等を用いることができる。絶縁性薄膜 106 の形成手段としては熱 CVD 法、プラズマ CVD 法、減圧熱 CVD 法、スパッタリング法、蒸着法等の公知の手段を用い、10～200 nm の膜厚範囲で用いることができる。この絶縁性薄膜 106 は、後の工程で積層する感光性薄膜との密着性を向上させるとともに、半導体膜、特にチャネル形成領域となる領域を汚染から保護するものである。

【0047】

次いで、絶縁性薄膜上に感光性薄膜 107 を形成する。(図 1 (B)) 感光性薄膜 107 としては、ポジ型のフォトレジスト、ネガ型のフォトレジスト、感光性ポリイミド等を用いることができる。感光性薄膜 107 の形成手段としては塗布法等の公知の手段を用いる。また、感光性薄膜の紫外線透過厚であれば膜厚は特に限定されることはないが、0.25 μm ～4 μm 、好ましくは、1～2 μm の膜厚範囲で用いる。

【0048】

次いで、基板面と平行に反射板 108 (感光性薄膜表面との距離 X ($X=0.5\sim 1.5\ \mu\text{m}$)) が設けられた裏面露光装置を用いて露光を行う。本発明の露光方法においては、感光性薄膜を透過した光源からの光を、基板の表面側に設けられた反射板 108 により反射・散乱されて基板の表面側から感光性薄膜全面に不均一に照射させることを特徴としている。なお、光源からの光は裏面側から基板を透過して感光性薄膜 (ゲート配線上の領域以外) に照射させる。

【0049】

即ち、反射板 108 により反射・散乱した光が微量にしか照射されない領域を利用してゲート配線の寸法より縮小した寸法を有する第 1 の感光性薄膜パターン 1

09が得られる。(図1(C))なお、ゲート配線102の寸法と比較した感光性薄膜パターン109の縮小率は、距離X(感光性薄膜表面と反射板との間の距離)、露光量、露光時間等を変化させることで適宜調節可能である。この第1の感光性薄膜パターン109をエッチングマスクとして用い、絶縁性薄膜106を選択的にエッチングして、チャネル形成領域となる領域上に絶縁性薄膜パターン110を形成する。(図1(D))その後、第1の感光性薄膜パターン109を除去する。(図1(E))

【0050】

以上の工程によりセルフアライン方式でゲート配線上にパターンを形成することができる。

【0051】

次いで、上記裏面からの露光と同様のセルフアライン方式による方法を用いて感光性薄膜を形成して、再度、裏面からの露光を行う。この2回目の裏面からの露光では、ゲート配線パターンの寸法より小さく、第1の感光性薄膜パターン109よりも寸法が大きくなるように距離X、露光量、露光時間等を調節し、第2の感光性薄膜パターンを形成する。

【0052】

次いで、第2の感光性薄膜パターン及び絶縁性薄膜パターンをマスクとしてP型またはN型の導電型を付与する不純物を高濃度に添加する。こうして、選択的に導電型を付与する不純物が添加された領域はソース領域またはドレイン領域となる。

【0053】

次いで、第2の感光性薄膜パターンを除去した後、絶縁性薄膜パターンをマスクとしてP型またはN型の導電型を付与する不純物を低濃度に添加する。こうして高濃度不純物領域(ソース領域/ドレイン領域)とチャネル形成領域の間に低濃度不純物領域(LDD領域)を形成する。

【0054】

従って、第1の感光性薄膜パターンによりチャネル形成領域の寸法が決定され、第2の感光性薄膜パターンによりLDD領域の寸法が決定される。なお、本願

発明のパターニング方法による感光性薄膜パターンは、ゲート配線上のみに形成されるため、LDD領域とゲート電極とがオーバーラップした構造（いわゆるGOLD構造）となる。従って、TFTのオン電流の劣化が抑制され、信頼性が向上する。

【0055】

また、LDD領域に代えてオフセット領域を形成することもできる。さらに、本発明のパターニング方法によるパターニングを複数回行ない、LDD領域とオフセット領域を形成することもできる。加えて、本発明のパターニング方法によるパターニング及び不純物の添加を適宜、複数回行うことによって、チャンネル形成領域以外に異なる濃度で同一の不純物を含む少なくとも三種類以上の不純物領域を形成することもできる。

【0056】

また、公知のフォトリソマスクを使用するパターニング方法や公知の裏面からの露光によるパターニング方法と組み合わせて使用することもできる。

【0057】

なお、ここではボトムゲート型TFTのLDD領域を形成する例を示したが、非透過性材料からなるパターン上にマスクをパターニングをする場合であれば特に限定されることなく、トップゲート構造（代表的にはプレーナ構造）にも適用できる。例えば、下層に非透過性材料からなるパターンを有する絶縁膜のパターニングや活性層のパターニングにおいても適用できる。

【0058】

【実施例】

以下に本発明の実施例を説明するが、特にこれらの実施例に限定されないことは勿論である。

【0059】

〔実施例1〕 本実施例では、本願発明を用いて、同一基板上に周辺駆動回路の一部を構成するCMOS回路と画素マトリクス回路部の一部を構成する画素TFTとを作製した例を説明する。以下に本発明の半導体装置およびその作製方法の簡略断面図である図1～図5を用いて簡略に説明する。なお、簡略化のため本実

施例ではNチャネル型TFTを用いて作製方法の詳細な説明を行う。

【0060】

まず、透光性を有する基板100を用意する。本実施例においては基板100としてガラス基板（コーニング1737；歪点667℃）を用いた。次に、基板100上に下地絶縁膜（以下、本明細書中では下地膜と称す）を形成した後、熱処理する。また、ここでの熱処理は基板の歪点以下、好ましくは200～700℃で行う。本実施例では、下地膜101として、TEOSと酸素（ O_2 ）を原料ガスに使い、プラズマCVD装置によって膜厚200nmの酸化珪素膜を成膜した後、640℃、4時間の熱処理を行った。

【0061】

次いで、下地膜101上に導電膜を形成し、パターニングを施してゲート配線を形成する。本実施例では簡略化のため図示しないが、膜厚50nmの窒化タンタル膜と膜厚250nmのタンタル膜の積層膜を形成した後、フォトマスクを用いる通常のパターニングを行い、ゲート配線102を形成した。そして、本実施例では、ゲート配線に陽極酸化処理を施してゲート配線の保護膜103を形成した。この保護膜を設けることによって、後の工程である半導体膜の結晶化により形成される結晶粒径を均一なものとすることができる。

【0062】

次いで、ゲート配線102及びその保護膜103を覆ってゲート絶縁膜104'を形成する。本実施例では、ゲート絶縁膜104'の形成手段としてプラズマCVD法を使い、膜厚が125nmである酸化珪素膜を形成した。

【0063】

次いで、ゲート絶縁膜104'上に半導体膜を形成する。本実施例では、半導体膜の形成手段としてプラズマCVD法を使い、膜厚が55nmである非晶質珪素膜を形成した。

【0064】

次いで、非晶質珪素膜からなる半導体膜を結晶化する。本実施例では、エキシマレーザー光を照射して、結晶性珪素膜105を形成した。（図1（A））

【0065】

次いで、結晶化した半導体膜 105 上に絶縁性薄膜 106 を形成する。本実施例では、絶縁性薄膜 106 の形成手段としてプラズマ CVD 法を用い、膜厚が 200 nm である酸化珪素膜を形成した。本実施例では酸化珪素膜を用いたが、絶縁膜であれば特に限定されない。

【0066】

次いで、絶縁性薄膜 106 上に第 1 の感光性薄膜 107 を形成する。本実施例では、第 1 の感光性薄膜の形成手段として塗布法を用い、膜厚 2.3 μm のポジ型のフォトリソ膜（東京応化工業製、TSMR8900、45cP）を形成した。（図 1（B））

【0067】

次いで、基板面と平行に反射板 108（第 1 の感光性薄膜表面との距離 X）が設けられた裏面露光装置を用いてセルフアライン方式の第 1 の裏面露光を行った。

（図 1（C））本実施例では、図 1（C）中に示した第 1 の感光性薄膜表面との距離 $X = 1.0 \mu\text{m}$ となるように、厚さ 1.0 μm のカプトンテープを反射板 108 と基板の間に挟み、光源からの紫外光が裏面側から基板を通過して第 1 の感光性薄膜（ゲート配線上の領域以外）に感光され、基板の表面側に設けられた反射板により反射・散乱された光が基板の表面側から第 1 の感光性薄膜全面を感光した。その後、現像すると、紫外光により感光された第 1 の感光性薄膜が選択的に除去されて、ゲート配線パターンの寸法より小さい第 1 のフォトリソパターン 109 が残存した。

【0068】

次いで、第 1 のフォトリソパターン 109 をエッチングマスクとして、絶縁性薄膜 106 を選択的に除去して絶縁性薄膜パターン 110 を形成した。（図 1（D））

【0069】

次いで、第 1 のフォトリソパターン 109 を除去した。（図 1（E））

【0070】

次いで、第 2 の感光性薄膜 111 を形成して、第 1 の裏面露光と同様のセルフアライン方式による方法を用いて第 2 の裏面露光を行う。本実施例では、第 2 の

第2の感光性薄膜111として、第1の感光性薄膜と同じ材料を用い、第2の感光性薄膜表面との距離Xを $0.5\mu\text{m}$ に調節して第2の裏面露光を行った。(図2(B))この第2の裏面露光では、ゲート配線パターンの寸法より小さく、第1のフォトリソパターン109よりも寸法の大きな第2のフォトリソパターン112を残存させた。

【0071】

次いで、第2のフォトリソパターン112及び絶縁性薄膜パターン110をマスクとしてN型の導電性を付与する不純物を高濃度に添加する。こうして、選択的に導電性を付与する不純物が高濃度に添加された領域113は、ソース領域またはドレイン領域となる。(図2(C))

【0072】

その後、第2のフォトリソパターン112を除去(図2(D))して、薄い酸化珪素膜114' (50nm)を形成した。(図3(A))この酸化珪素膜114'は制御性よく不純物を低濃度に添加するための膜であって、特に形成する必要はない。なお、本実施例では酸化珪素膜を用いたが、他の絶縁性材料膜、例えば、窒化珪素膜、酸化窒化珪素膜を用いることもできる。

【0073】

次いで、N型の導電性を付与する不純物を薄い酸化珪素膜114'を介して添加することにより、選択的に不純物が低濃度に添加された領域116、117を形成する。なお、絶縁性薄膜パターン110はチャネル形成領域を保護するマスクとしての役目を果たしている。こうして高濃度不純物領域(ソース領域/ドレイン領域)118'、119'とチャネル形成領域115の間に低濃度不純物領域(LDD領域)116、117が形成された。本実施例では、第1のレジストパターン109によりチャネル形成領域の寸法が決定し、第2のレジストパターン112によりLDD領域の寸法が決定する。

【0074】

本実施例では、N型の導電性を付与する不純物としてリン元素を用い、116、117で示される低濃度不純物領域のリン濃度が、SIMS分析で $1 \times 10^{15} \sim 1 \times 10^{17} \text{atoms/cm}^3$ 、118'、119'で示される高濃度不純物領域

のリン濃度が、SIMS分析で $1 \times 10^{20} \sim 8 \times 10^{21} \text{ atoms / cm}^3$ になるようにそれぞれドーピング条件、ドーズ量、加速電圧を調節した。(図3(B))

【0075】

その後、N型の導電性を付与する不純物を活性化させるための熱アニール、またはレーザーアニールを行う。本実施例ではレーザー光による活性化を行った。その後、フォトリソを使用する通常のパターニングにより所望の形状とし、薄い酸化珪素膜114、半導体膜115~119、及びゲート絶縁膜104を形成した。次いで、層間絶縁膜120を堆積し、ソース領域、ドレイン領域を露出させるコンタクトホールを形成した後、金属膜を形成し、これをパターニングして、ソース領域118、ドレイン領域119と接触する金属配線121、122を形成した。こうして、Nチャネル型TFETの作製工程を完了した。(図3(C))

【0076】

なお、本実施例ではNチャネル型TFETの作製方法を例示したが、Pチャネル型TFETを作製する場合には、上記不純物添加工程においてN型を付与する不純物イオンに代えてP型を付与するボロンイオンを添加すればよい。また、Nチャネル型TFETとPチャネル型TFETとを相補的に組み合わせてなるCMOS回路やNチャネル型TFETで形成された画素TFETに本願発明を適用することも可能である。

【0077】

上記本実施例の作製方法を利用して半導体素子(TFET)からなる半導体回路を備えた半導体装置について、図4及び図5を用いてその構造の一例を説明する。なお、本発明にかかる半導体装置は、同一基板上に周辺駆動回路部と画素マトリクス回路部とを備えている。本実施例では図示を容易にするため、同一基板上に周辺駆動回路部の一部を構成するCMOS回路と、画素マトリクス回路部の一部を構成する画素TFET(Nチャネル型TFET)とが示されている。

【0078】

また、図5(A)及び図5(B)は図4の上面図に相当する図であり、図5(A)及び図5(B)において、点線A-A'で切断した部分が、図4の画素マトリ

クス回路の断面構造に相当し、点線 B-B' で切断した部分が、図 4 の CMOS 回路の断面構造に相当する。また、図 4 及び図 5 に使われている符号は図 1 ～図 3 と同一である。

【0079】

図 4 において、いずれの TFT（薄膜トランジスタ）も基板 100 上に設けられた下地膜 101 に形成される。CMOS 回路の P チャネル型 TFT の場合には、下地膜上にゲート配線 102 が形成され、その上にゲート絶縁膜 104 が設けられている。ゲート絶縁膜上には、活性層として高濃度不純物領域（ p^+ 型領域）418、419（ソース領域又はドレイン領域）と、チャネル形成領域 415 と、前記高濃度不純物領域とチャネル形成領域の間に低濃度不純物領域（ p^- 型領域）416、417 が形成される。なお、活性層は酸化珪素膜からなる保護膜 114 で保護される。保護膜 114 の上を覆う第 1 の層間絶縁膜 120 にコンタクトホールが形成され、高濃度不純物領域 418、419 に配線 121、123 が接続され、さらにその上に第 2 の層間絶縁膜 126 が形成され、配線 123 に引き出し配線 127 が接続されて、その上を覆って第 3 の層間絶縁膜 130 が形成される。

【0080】

一方、N チャネル型の TFT は、活性層として高濃度不純物領域（ n^+ 型領域）118、119（ソース領域又はドレイン領域）と、チャネル形成領域 115 と、前記高濃度不純物領域とチャネル形成領域の間に低濃度不純物領域（ n^- 型領域）116、117 が形成される。高濃度不純物領域 118、119 には配線 121、122 が形成され、さらに配線 122 には引き出し配線 128 が接続される。活性層以外の部分は、上記 P チャネル型 TFT と概略同一構造である。

【0081】

画素マトリクス回路に形成された N チャネル型 TFT については、第 1 の層間絶縁膜 120 を形成する部分まで、CMOS 回路の N チャネル型 TFT と同一構造である。そして、高濃度不純物領域 118、119 には配線 124、125 が接続され、その上に第 2 の層間絶縁膜 126 と、ブラックマスク 129 とが形成される。さらに、その上に第 3 の層間絶縁膜 130 が形成され、ITO、SnO

2 等の透明導電膜からなる画素電極 131 が接続される。この画素電極 131 は、ブラックマスクと補助容量を形成している。

【0082】

本実施例では一例として透過型の LCD を作製したが特に限定されない。例えば、画素電極の材料として反射性を有する金属材料を用い、画素電極のパターニングの変更、または幾つかの工程の追加／削除を適宜行えば反射型の LCD を作製することが可能である。

【0083】

なお、本実施例では、画素マトリクス回路の画素 TFT のゲート配線をダブルゲート構造としているが、オフ電流のバラツキを低減するために、トリプルゲート構造等のマルチゲート構造としても構わない。また、開口率を向上させるためにシングルゲート構造としてもよい。

【0084】

〔実施例 2〕 実施例 1 では、反射板を用いた裏面露光方法を 2 回行ない、第 1 のレジストパターン 109 によりチャンネル形成領域の寸法を決定し、第 2 のレジストパターン 112 により LDD 領域の寸法を決定した例を示した。本実施例では、反射板を用いた裏面露光方法による第 1 のレジストパターン 109 によりチャンネル形成領域の寸法を決定し、公知の露光方法によるパターンにより LDD 領域の寸法を決定した例を示す。本実施例は、図 2 (A) の工程まで実施例 1 と同一であるため、その工程までの説明は省略する。

【0085】

本実施例では、実施例 1 に従い、図 2 (A) で示される状態を得た後、公知の裏面からの露光を行ない、ゲート配線と同一形状を有する第 2 の感光性薄膜からなるパターンを形成した。この第 2 の感光性薄膜からなるパターンにより LDD 領域の寸法を決定した。以降の工程は実施例 1 に従い、半導体装置を完成した。公知の裏面からの露光方法もセルフアライン方式であるため、実施例 1 と同様にフォトリソの使用枚数を削減することができた。

【0086】

なお、本実施例では、本願発明である反射板を用いた裏面露光方法により第 1

のレジストパターン 109 を形成したが、第 1 の感光性薄膜からなるパターンを公知の露光方法を用い、第 2 の感光性薄膜からなるパターンを反射板を用いた裏面露光方法により形成する構成としてもよい。本実施例は公知の露光方法との組み合わせが容易であり、その組み合わせ方は自由である。

【0087】

〔実施例 3〕 本実施例では、図 1 (B) において、実施例 1 と異なる感光性薄膜材料を用いた場合の例について説明する。本実施例は、図 1 (A) の工程まで実施例 1 と同一であるため、その工程の説明は省略する。

【0088】

本実施例では、実施例 1 のフォトリソ材料（東京応化工業製、TSMR 8900）と比較して高い解像度を有するポジ型レジスト材料（東京応化工業製、THMR 3300LD）を用いた。こうすることにより、極めて正確に露光することができ、感光性薄膜からなるパターンを形成することができた。この感光性薄膜からなるパターンの精度を高めることにより、チャネル形成領域の形状を正確に形成することができるため、TF T 間の電気特性のバラツキを低減することができた。

【0089】

以降の工程は実施例 1 に従い、半導体装置を完成した。

【0090】

なお、本実施例は実施例 1、実施例 2 との組み合わせが容易であり、その組み合わせ方は自由である。

【0091】

〔実施例 4〕 実施例 1 では、チャネル形成領域以外に異なる濃度で同一の不純物を含む二種類の不純物領域を形成したが、本実施例では、チャネル形成領域以外に異なる濃度で同一の不純物を含む少なくとも三種類以上の不純物領域を形成する例を説明する。本実施例は、図 3 (B) の工程まで実施例 1 と同一であるため、その工程までの説明は省略する。

【0092】

本実施例では、実施例 1 に従い、図 3 (B) で示される状態を得た後、さらに

第3の感光性薄膜からなるパターンを反射板を用いた裏面露光方法、または公知の方法により形成し、不純物のドーピングを行って、チャネル形成領域以外に異なる濃度で同一の不純物を含む少なくとも三種類の不純物領域を形成した。ただし、第3の感光性薄膜からなるパターンは、第1のレジストパターンより大きく、第2のレジストパターンより小さい形状とした。以降の工程は実施例1に従い、半導体装置を完成した。

【0093】

なお、チャネル形成領域からソース領域（またはドレイン領域）に向かって不純物濃度が高くなるように多段階に形成することが望ましい。こうすることで、電界の緩和効果が大きくなってホットキャリア耐性が高まる。本実施例を利用して形成された半導体装置は、TFTが優れた信頼性を有するため、半導体装置全体として信頼性が大幅に向上した。

【0094】

なお、本実施例は実施例1～3との組み合わせが容易であり、その組み合わせ方は自由である。

【0095】

〔実施例5〕 本実施例では、本願発明によって作製された液晶表示装置の例を図6に示す。画素TFT（画素スイッチング素子）の作製方法やセル組工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0096】

図6において800は絶縁表面を有する基板（酸化シリコン膜を設けたプラスチック基板）、801は画素マトリクス回路、802は走査線駆動回路、803は信号線駆動回路、830は対向基板、810はFPC（フレキシブルプリントサーキット）、820はロジック回路である。ロジック回路820としては、D/Aコンバータ、 γ 補正回路、信号分割回路などの従来ICで代用していた様な処理を行う回路を形成することができる。勿論、基板上にICチップを設けて、ICチップ上で信号処理を行うことも可能である。

【0097】

さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブ

マトリクス型の表示装置であればEL（エレクトロルミネッセンス）表示装置やEC（エレクトロクロミックス）表示装置に本願発明を適用することも可能であることは言うまでもない。

【0098】

また、本願発明を用いて作製できる液晶表示装置は透過型か反射型かは問わない。どちらを選択するのも実施者の自由である。この様に本願発明はあらゆるアクティブマトリクス型の電気光学装置（半導体装置）に対して適用することが可能である。

【0099】

なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例4のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。

【0100】

〔実施例6〕 本願発明は従来のIC技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、液晶用ドライバー回路（D/Aコンバータ、 γ 補正回路、信号分割回路等）に代表される信号処理回路や携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0101】

また、マイクロプロセッサ等の半導体回路は様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両（自動車や電車等）の制御用コンピュータなども挙げられる。本願発明はその様な半導体装置に対しても適用可能である。

【0102】

なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例4のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。

【0103】

〔実施例 7〕 本願発明の電気光学装置は、様々な電子機器のディスプレイとして利用される。その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグルディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話、電子書籍等）などが挙げられる。それらの一例を図7に示す。

【0104】

図7（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を音声出力部2002、音声入力部2003、表示装置2004やその他の信号制御回路に適用することができる。

【0105】

図7（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0106】

図7（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に適用できる。

【0107】

図7（D）はゴーグルディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0108】

図7（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403やその他の

信号制御回路に適用することができる。

【0109】

図7(F)はフロントプロジェクションであり、本体2501、光源2502、反射型表示装置2503、光学系(ビームスプリッタや偏光子等が含まれる)2504、スクリーン2505で構成される。本発明は反射型表示装置2503やその他の信号制御回路に適用することができる。

【0110】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0111】

なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例4のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。また、実施例5、実施例6に示した電気光学装置や半導体回路をその様に組み合わせて用いても良い。

【0112】

【発明の効果】

本発明を利用することにより、フォトマスクを使った露光装置等を使用することなく、セルフアライン方式でパターンの形成が可能となった。従って、フォトマスクの位置合わせによるバラツキは生じないため、TFTの特性のバラツキを低減することができる。特に、ボトムゲート型TFTの作製方法に本発明のセルフアライン方式のパターン形成方法を用いることによって、ゲート配線上に所望の寸法のLDD領域やオフセット領域を形成することができる。

【図面の簡単な説明】

- 【図1】 本願発明の作製工程一例を示す図(実施例1)
- 【図2】 本願発明の作製工程一例を示す図(実施例1)
- 【図3】 本願発明の作製工程一例を示す図(実施例1)
- 【図4】 本願発明の構成の一例を示す断面構造図(実施例1)
- 【図5】 本願発明の構成の一例を示す上面図(実施例1)
- 【図6】 アクティブマトリクス型の表示装置(実施例6)

【図 7】 電子機器の一例を示す図（実施例 7）

【図 8】 従来の作製工程一例を示す図

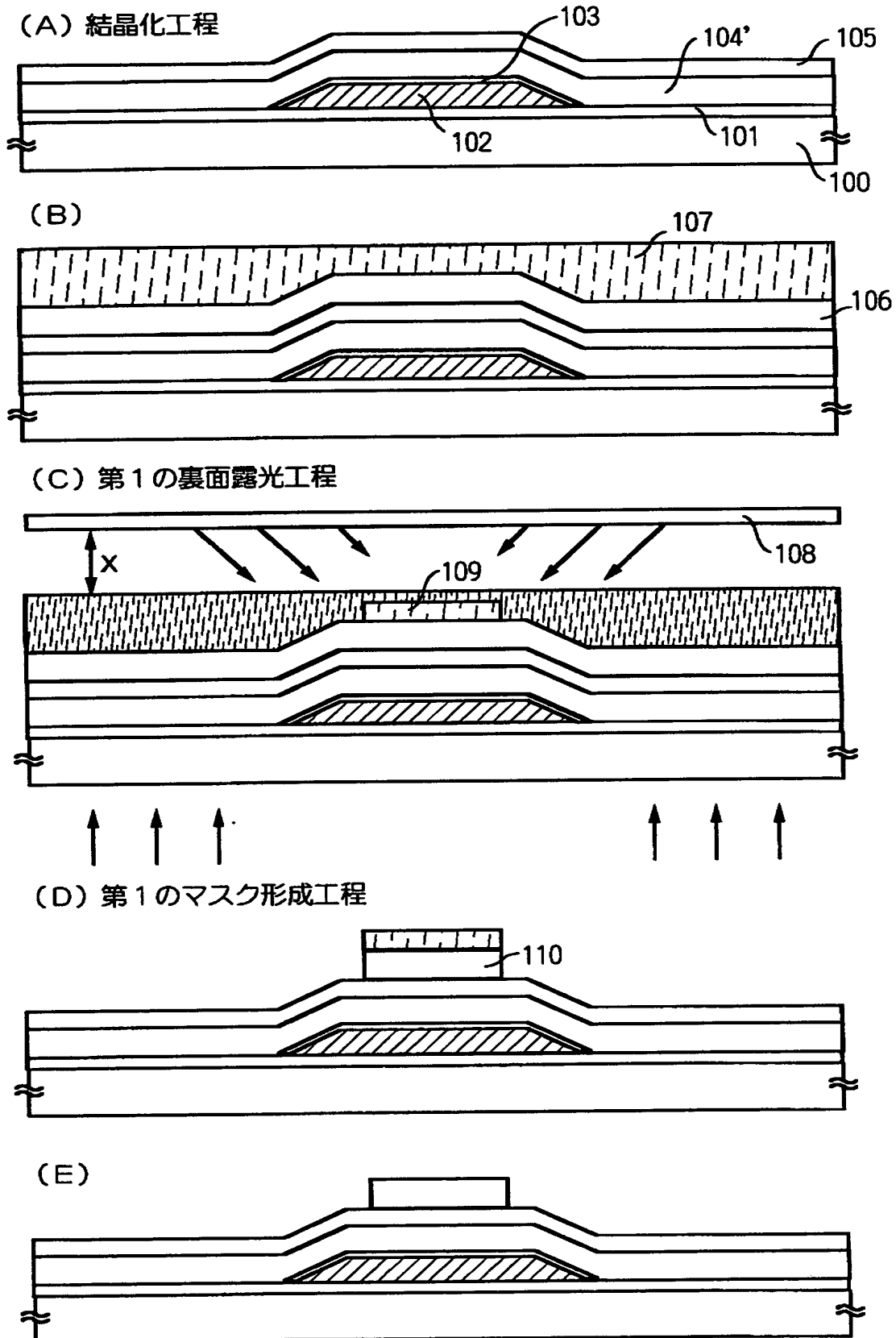
【符号の説明】

1 0 0	基板
1 0 1	下地膜
1 0 2	ゲート配線
1 0 3	保護膜
1 0 4	ゲート絶縁膜
1 0 5	半導体膜
1 0 6	絶縁性薄膜
1 0 7	感光性薄膜
1 0 8	反射板
1 0 9	第 1 のレジストパターン
1 1 0	マスクパターン
1 1 1	感光性薄膜
1 1 2	第 2 のレジストパターン
1 1 3	高濃度不純物領域
1 1 5	チャネル形成領域
1 1 6、1 1 7	LDD 領域
1 1 8	ソース領域
1 1 9	ドレイン領域
1 2 0	層間絶縁膜
1 2 1、1 2 2	配線

特平 1 0 - 3 2 1 1 2 3

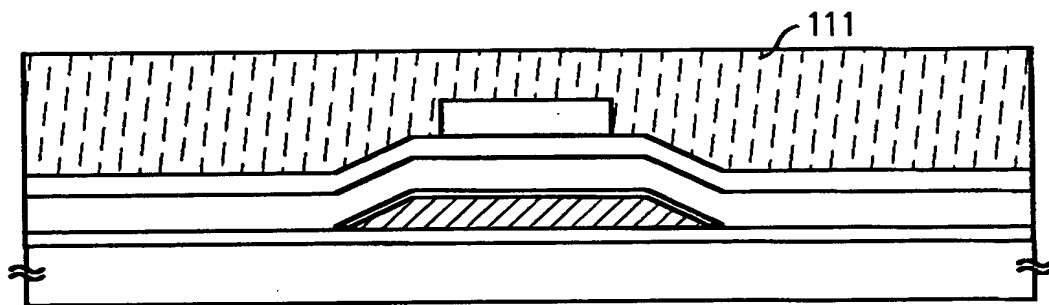
【書類名】 図面

【図 1】

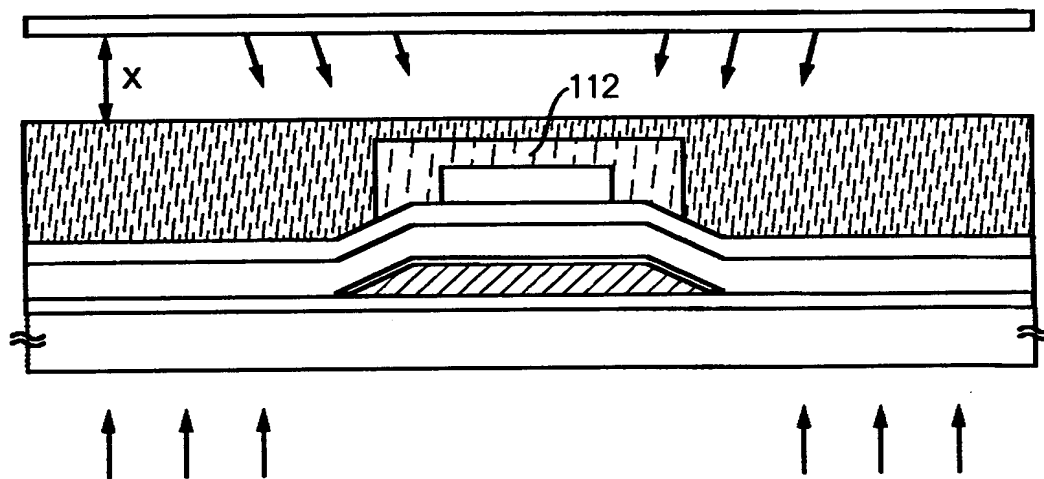


【図 2】

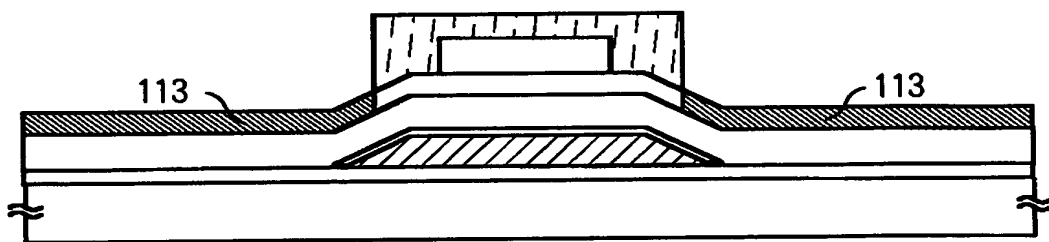
(A)



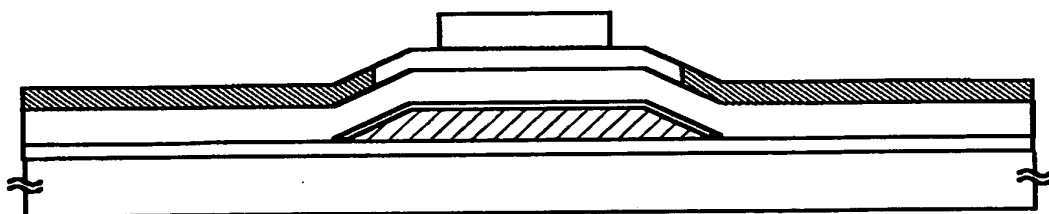
(B) 第2の裏面露光工程



(C) 第1の不純物添加工程（高濃度）

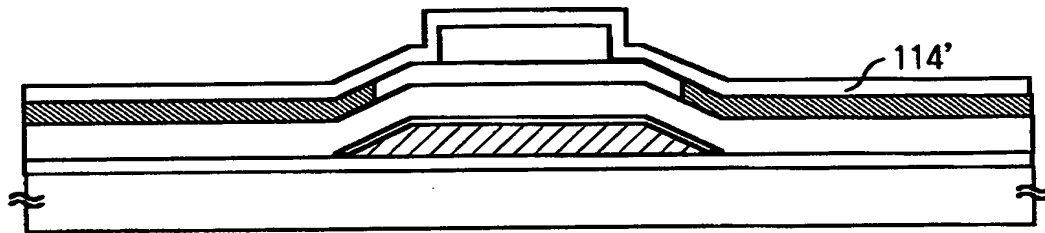


(D)

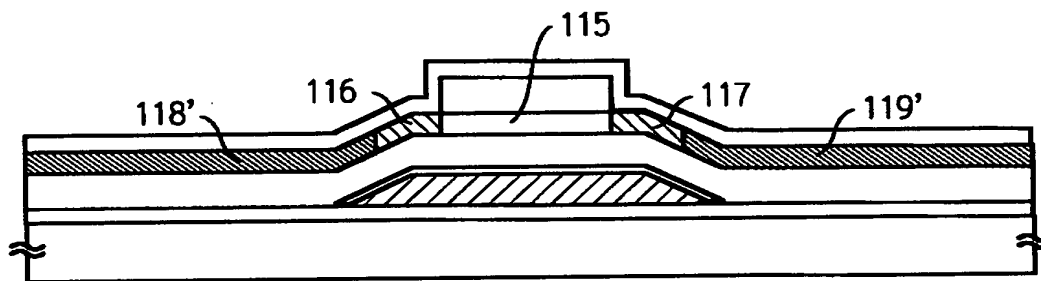


【図 3】

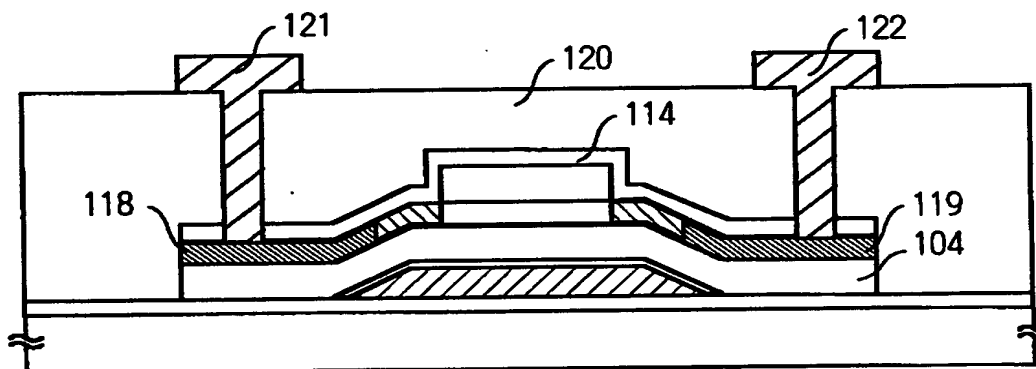
(A)



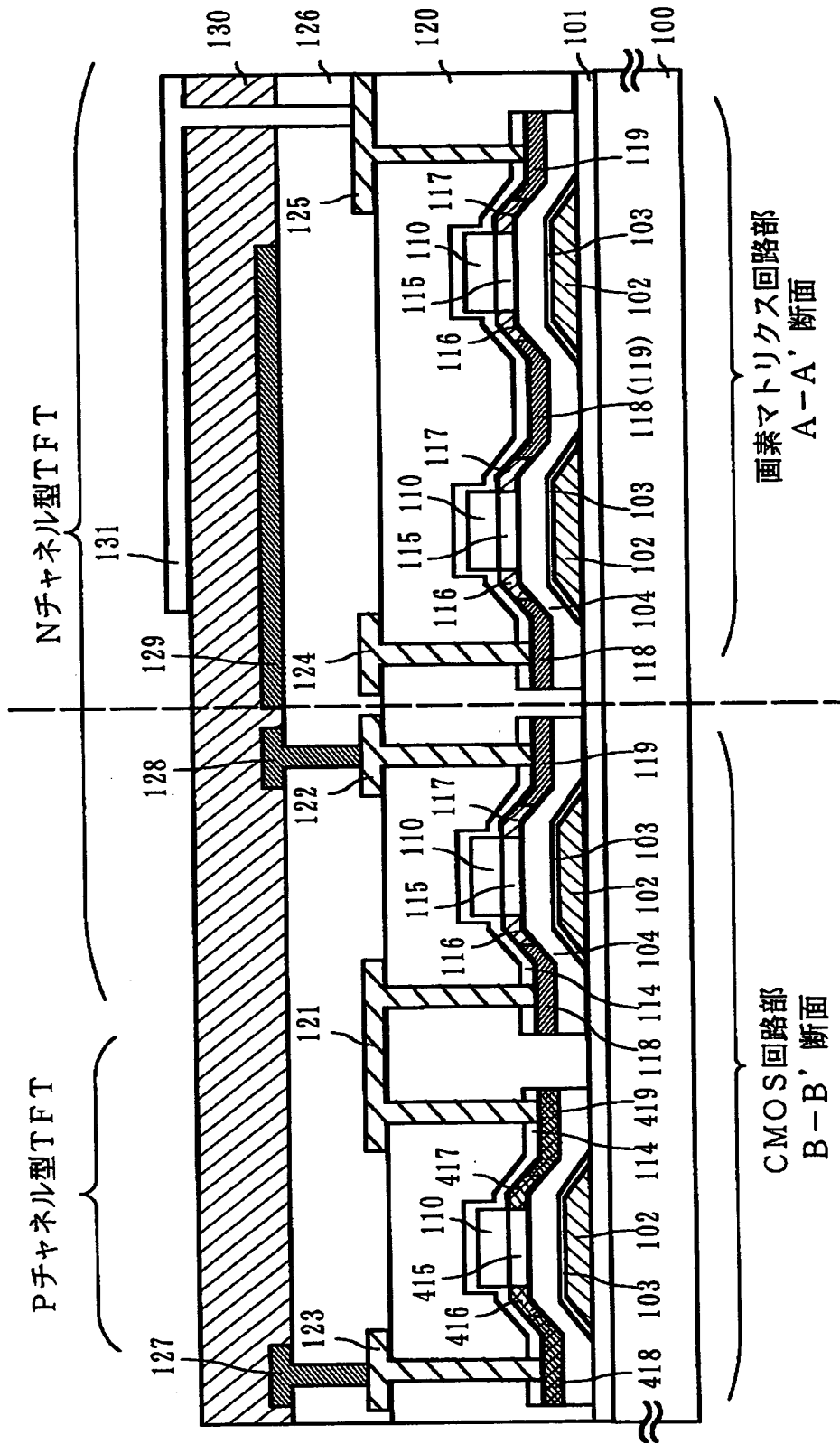
(B) 第2の不純物添加工程（低濃度）



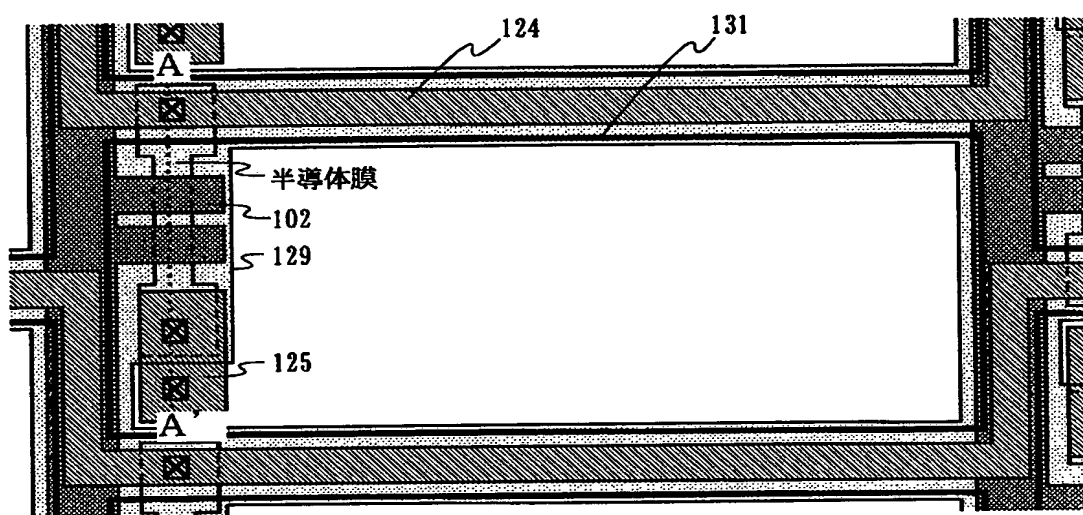
(C) 層間絶縁膜、配線形成工程



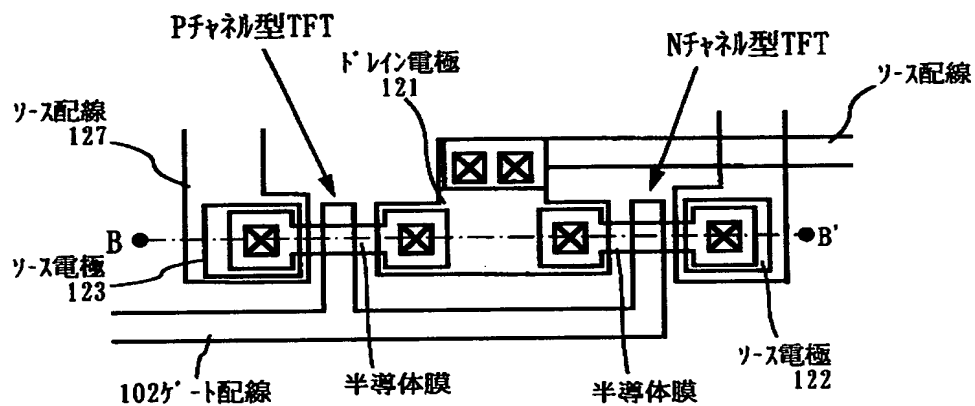
【図 4】



【図 5】

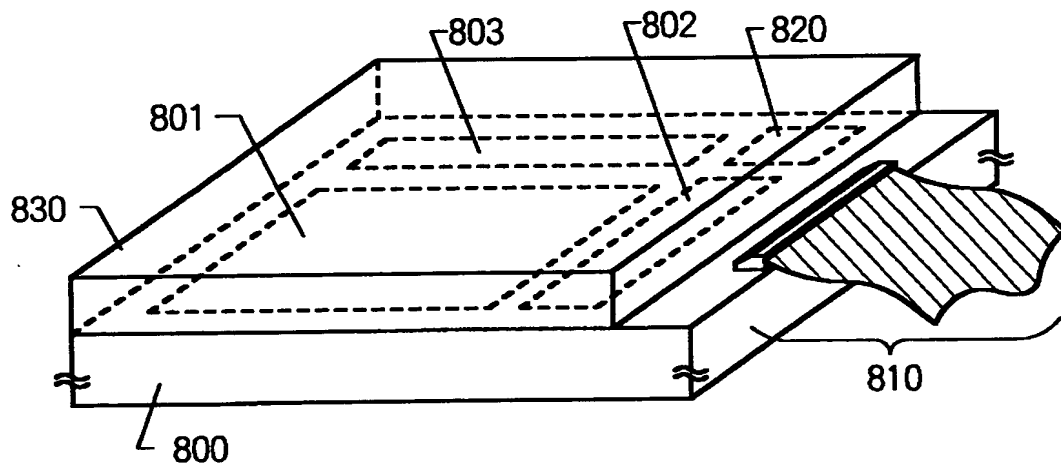


(A) 画素マトリクス回路部の上面図



(B) CMOS回路の上面図

【図6】



アクティブマトリクス基板

800 : ガラス基板

801 : 画素マトリクス回路

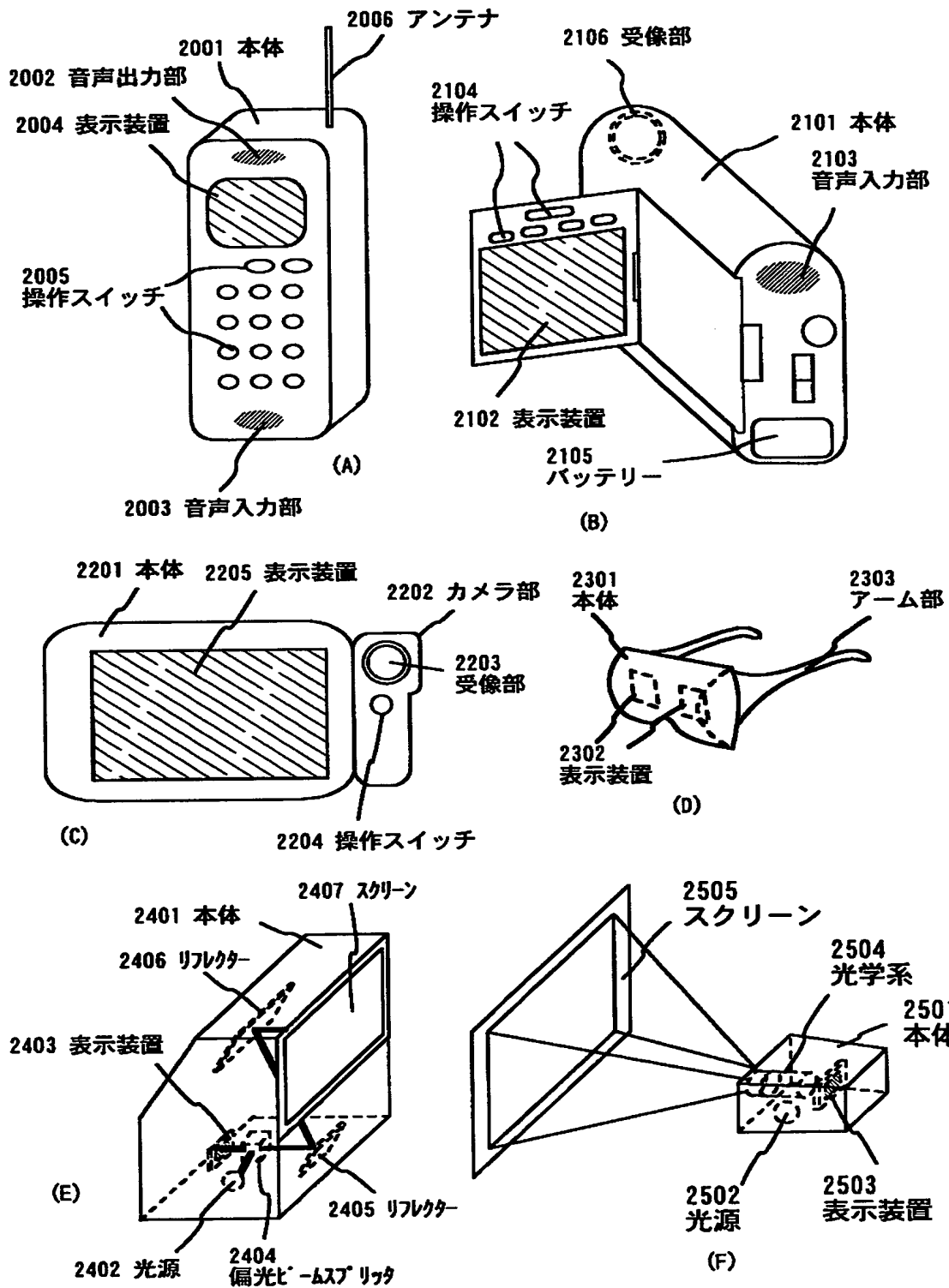
802 : 走査線駆動回路、803 : 信号線駆動回路

810 : FPC

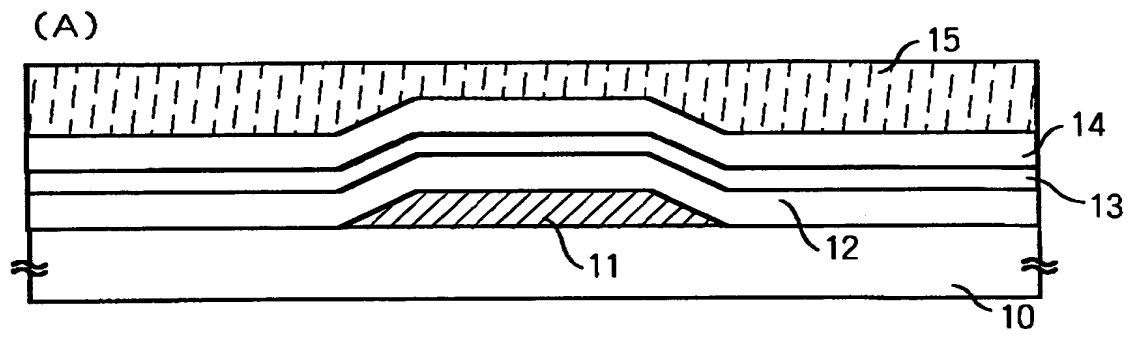
820 : ロジック回路

830 : 対向基板

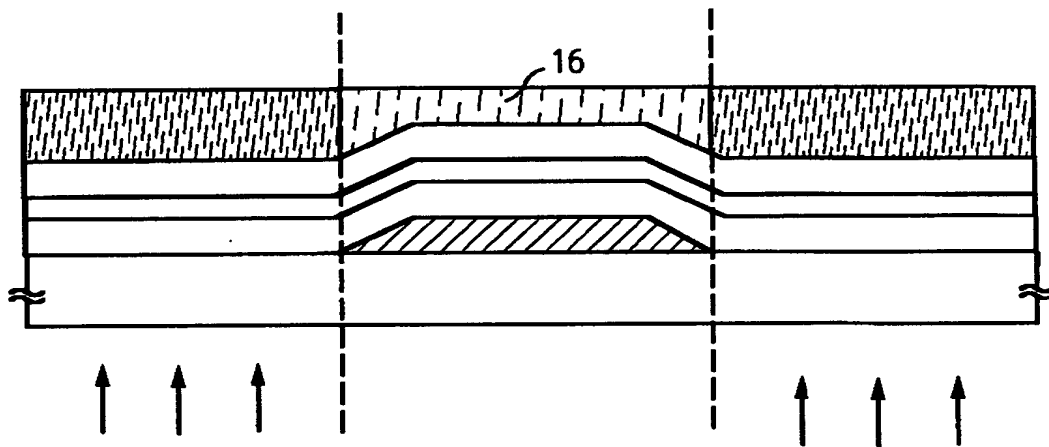
【図 7】



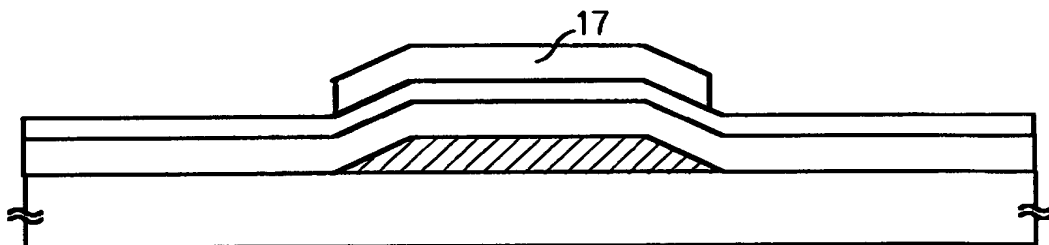
【図8】



(B) 裏面露光工程



(C) マスク形成工程



【書類名】 要約書

【要約】

【課題】 本発明は、ボトムゲート型 T F T の作製工程においては、セルフアライン方式で形成されたマスクを用いて L D D 領域を形成する方法を提供するものである。

【解決手段】 上記目的を解決するため、本発明は、基板 1 0 0 の表面側に反射板 1 0 8 が感光性薄膜表面から距離 X 離れて設けられた裏面露光装置を用いて露光を行ない、セルフアライン方式で感光性薄膜パターン 1 0 9 を形成する。

【選択図】 図 1

【書類名】
【訂正書類】

職権訂正データ
特許願

<認定情報・付加情報>

【特許出願人】

申請人

【識別番号】

000153878

【住所又は居所】

神奈川県厚木市長谷 3 9 8 番地

【氏名又は名称】

株式会社半導体エネルギー研究所

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所